

(11)Publication number : 09-246556

(43)Date of publication of application : 19.09.1997

(51)Int.Cl.

H01L 29/786

H01L 27/12

(21)Application number : 08-047140

(71)Applicant : HITACHI LTD

(22)Date of filing : 05.03.1996

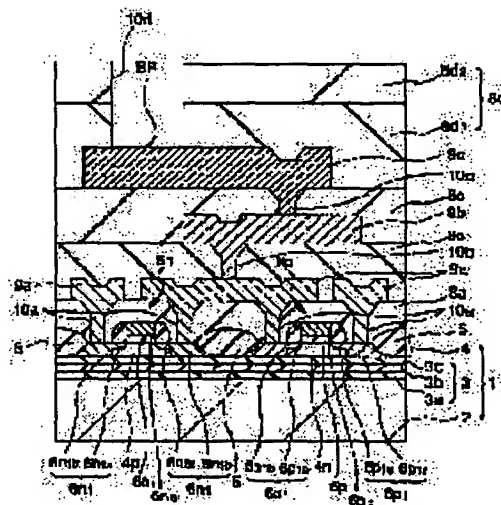
(72)Inventor : YANAGISAWA YASUNOBU
OGASAWARA MAKOTO

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To restrain warp and degradation which are caused by a stress remaining in an insulating layer when the insulating layer is formed by a method wherein a stress relaxation part which relaxes the stress remaining in the insulating layer is formed in the insulating layer.

SOLUTION: A semiconductor substrate 2 which constitutes an SOI substrate 1 is composed of a P- type silicon single crystal, and a semiconductor layer 4 is formed on it via an insulating layer. Three insulating layers 3a to 3c are laminated sequentially from the lower part. The substrate 2 ensures the strength of the substrate, and the upper and lower insulating layers 3a to 3c ensure the bonding force of the substrate 2 to the semiconductor layer 4. The intermediate insulating layer (as a stress relaxation part) 3b is a member which relaxes a stress remaining in the insulating layers 3a, 3c, and it contains a stress in a direction opposite to the residual stress in the insulating layers 3a, 3c. By this structure, the stress in the insulating layers 3a, 3c is offset by the stress in the insulating layer 3b; it is possible to restrain the warp of the SOI substrate 1 and the quality degradation of the semiconductor layer 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本國特許庁 (J P)
(12) 公開特許公報 (A)
(11) 特許出願公開番号
特開平9-246556
(43) 公開日 平成9年(1997)9月19日

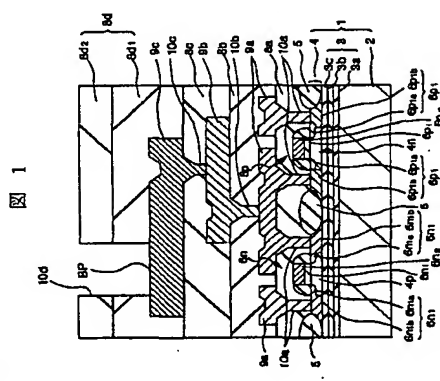
(51) 入力	識別記号	片内整理番号	FI	技術表示箇所
H01L 23/786			H01L 23/78	626C
27/12			27/12	Z
審査請求 未請求 請求項の数 4 OL (全 7 頁)				
(21) 出願番号	特願平8-47140	(71) 出願人	000005108	
(22) 出願日	平成 8 年 (1996) 3 月 5 日	(72) 発明者	株式会社日立製作所 東京都千代田区神田駿河台四丁目 6 番地 御沢 泰伸 東京都青梅市今井2206番地 株式会社日立 製作所デバイス開発センタ内 小笠原 誠 東京都青梅市今井2206番地 株式会社日立 製作所デバイス開発センタ内 (74) 代理人 弁理士 箕井 大和	

(54) 【発明の名称】 半導体集積回路装置の製造方法および半導体集積回路装置

57) 【要約】

【要約】 絶縁層上に素子形成用の平滑体層を設けてなるSOI基板を用いた平滑体集積回路装置の製造工程について、絶縁層の形成時に絶縁層に殘留した応力に起因するSOI基板の反りや素子形成用の平滑体層の劣化を抑制する。

【解決手段】 絶縁層3上に半導体層4を設けてなるS
COT1基板1を用いた半導体集積回路装置の製造工程中
こ、その絶縁層3に、絶縁層3a、3cの成膜心力を緩
和するための応力緩和機能を行なう絶縁層3bを設け



1: 501 系板
3: 地盤面
a: 地盤面
b: 地盤面(2力線和部)
c: 地盤面
4: 半徑係數

であり、例えば二酸化シリコン (SiO_2) からなる。上層の絶縁層 3a、3c の厚さは、SOI 基板 1 の大きさ等によって異なるので、一概には言えないが、下層の絶縁層 3a の厚さは、例えば 0.1 ~ 0.5 μm 程度、上層の絶縁層 3c の厚さは、例えば 0.1 ~ 0.5 μm 程度である。

【0017】中間の絶縁層 (応力緩和層) 3b は、SOI 基板 1 の製造中に絶縁層 3a、3c に残留した応力を緩和するための層材であり、絶縁層 3a、3c の残留応力とは逆方向の応力を内包している。

【0018】このような構造とすることにより、絶縁層 3a、3c の応力が絶縁層 3b の応力によって相殺されるので、SOI 基板 1 の変形や半導体層 4 の品質劣化を抑制することが可能となっている。

【0019】絶縁層 3b は、例えば酸化シリコンからなり、その厚さは SOI 基板 1 の大きさ等によって異なるので、一概には言えないが、例えば 0.1 μm 程度である。

【0020】素子形成用の半導体層 4 は、例えば Si 単結晶からなり、その厚さは、例えば 0.1 ~ 0.3 μm 程度である。半導体層 4 には所定の不純物が含有されている。

【0021】また、半導体層 4 には素子分離用のフィールド絶縁層 5 が形成されている。フィールド絶縁層 5 は、例えば SiO_2 からなり、その下部が絶縁層 3c に接触するように形成されている。ただし、必ずしも接触しなくてもよい。

【0022】このような半導体層 4 において、フィールド絶縁層 5 に囲まれた素子領域には、例えば n チャネル形の MOS - FET (Metal Oxide Semiconductor Field Effect Transistor: 以下、nMOS という) 6 および p チャネル形の MOS - FET (以下、pMOS という) 6 が形成されている。そして、この nMOS 6 および pMOS 6 によって CMOS (Complementary) 回路が形成されている。

【0023】nMOS 6 は、半導体層 4 p 上に形成されている。半導体層 4 p には、例えば p 形不純物のホウ素が含有されている。半導体層 4 p の上部に互いに離間して形成された一対の半導体領域 6n 1 と、半導体層 4 上に形成されたゲート絶縁層 6n 1 と、その上に形成されたゲート電極 6n 2 とを有している。なお、一対の半導体領域 6n 1 の間に nMOS 6n のチャネル領域が形成される。

【0024】この半導体領域 6n 1 は、nMOS 6n のソース・ドレイン領域を形成するための領域であり、チャネル領域に配置された深い半導体領域 6n 1a と、その外側に配置された深い半導体領域 6n 1b とを有している。

【0025】深い半導体領域 6n 1a には、例えば n 形不純物のリンまたはヒ素 (As) が含有されている。また、深い半導体領域 6n 1b には、例えば n 形不純物の

nMOS 6n および pMOS 6p の半導体領域 6n 1、6p 1 と電気的に接続されている。

【0035】このような第 1 層材 9a は、例えば SiO_2 からなる層間絶縁層 8b によって被覆されている。その層間絶縁層 8b の上面には、例えば Al-Si-C 合金からなる第 2 層材 9b が形成されている。第 2 層材 9b は、層間絶縁層 8b に穿孔された接続孔 10b を通じて第 1 層材 9a と電気的に接続されている。

【0036】層間絶縁層 8b 上には、例えば SiO_2 からなる層間絶縁層 8c が堆積されており、これによって、第 2 層材 9b が被覆されている。その層間絶縁層 8c 上には、第 3 層材 9c が形成されている。

【0037】この第 3 層材 9c は、例えば Al-Si-Cu 合金からなり、層間絶縁層 8c に電気的に接続された接続孔 10c を通じて第 2 層材 9b と電気的に接続されている。

【0038】層間絶縁層 8c 上には、表面保護層 8d が形成されている。表面保護層 8d は、例えば保護層 8d 1 に保護層 8d 2 が堆積されてなる。保護層 8d 1 は、例えば SiO_2 からなり、その上層の保護層 8d 2 は、例えば窒化シリコンからなる。

【0039】表面保護層 8d の一部には、第 3 層材 9c の一部が露出するよう開口部 10d が形成されている。第 3 層材 9c において、この開口部 10d から露出する部分は、ボンディングパッド 10d を形成している。

【0040】なお、このボンディングパッド 10d には、ボンディングワイヤを通じて半導体集積回路装置を構成するパッケージのリードが電気的に接続されるようになっている。

【0041】次に、本実施の形態 1 の半導体集積回路装置の製造方法を図 2 ~ 図 5 によって説明する。

【0042】まず、図 2 に示すように、例えば直径 5 μm 程度、厚さ 550 ~ 600 μm 程度の p 形 Si 単結晶からなる半導体ウェハ 4W を用意する。この半導体ウェハ 4W は、図 1 の半導体層 4 を形成するための層材である。

【0043】続いて、この半導体ウェハ 4W に対して熱処理を施すことにより、半導体ウェハ 4W の表面に、例えば SiO_2 からなる絶縁層 3a を形成する。この絶縁層 3a には巨絶縁層 3a が堆積している。

【0044】その後、その絶縁層 3a の表面に、例えば酸化シリコンからなる層間絶縁層 8b を熱 CVD 法等によって形成する。この際の反応ガスとしては、例えば SiH_4 および N_2H_4 を使用している。この絶縁層 8b には、上記した絶縁層 3a とは逆の引張り応力が残留している。

【0045】次に、その絶縁層 8b の表面に、例えば SiO_2 からなる絶縁層 8c を熱 CVD 法等によって形成する。この際の反応ガスとしては、例えば N_2O による。

び SiH_4 を使用している。ただし、この際の CVD 処理として、プラズマ CVD 法を使用してもよい。

【0046】この絶縁層 3b には、上記した絶縁層 3a と同じ巨絶縁層 3a が堆積している。すなわち、本実施の形態 1 においては、絶縁層 3 中に、絶縁層 3a、3c の残留応力とは逆の層間絶縁層 3b を形成することにより、それらの残留応力が互いに相殺されるようになる。

【0047】続いて、図 3 に示すように、半導体ウェハ 4W と同程度の厚さの他の半導体ウェハ 2W を用意する。この半導体ウェハ 2W は、図 1 の半導体層 4 を形成するための層材であり、例えば p 形 Si 単結晶からなる。

【0048】そして、このような半導体ウェハ 2W の主面と、半導体ウェハ 4W の主面とを対向させ接触させた状態で高温の熱処理を施すことにより、図 4 に示すように、双方の半導体ウェハ 2W、4W を絶縁層 3 を介して接合する。この際の熱処理温度は、例えば 800 度以上である。また、処理雰囲気は不活性ガス雰囲気である。

【0049】その後、半導体ウェハ 4W を所定の厚さだけ残るようにその裏面側から研磨することにより、図 5 に示すように、厚さ 0.1 ~ 0.3 μm 程度の薄い半導体層 4 を形成する。

【0050】この際、本実施の形態 1 においては、絶縁層 3 中に絶縁層 3a、3c の残留応力とは逆方向の残留応力の内包する絶縁層 3b を設けたことにより、それらの応力が互いに相殺する結果、研磨によって半導体層 4 が薄くなったとしてもその応力によって SOI 基板 1 が反ったり、半導体層 4 の品質が劣化したりするのを抑制することが可能になっている。

【0051】その後、その半導体層 4 上に、通常のウェハプロセスに従って MOS - FET を形成した後、個々の半導体チップに分割することにより、図 1 に示した半導体集積回路装置を製造する。

【0052】このように、本実施の形態 1 によれば、以下の効果を得ることが可能となる。

【0053】すなわち、絶縁層 3 上に素子形成用の半導体層 4 を設けた SOI 基板 1 を用いる半導体集積回路装置の製造工程において、その絶縁層 3 に応力緩和層 3b を有する絶縁層 3b を設けることにより、絶縁層 3a、3c の残留応力に起因する SOI 基板 1 の反りや素子形成用の半導体層 4 の品質劣化を抑制することが可能となる。このため、SOI 基板 1 を用いた半導体集積回路装置の歩留り、信頼性および性能を向上させることが可能となる。

【0054】(実施の形態 2) 図 6 は本発明の他の実施の形態である半導体集積回路装置の製造工程における半導体ウェハの平面図、図 7 は図 6 の要部断面図である。

【0055】本実施の形態 2 においては、図 6 および図

7に示すように、SOI基板1に設けられた絶縁層3に複数の空腔部11が形成されている。各空腔部11は、絶縁層3中の絶縁層3aをハタチニングして形成された絶縁層3aの内部に、平面的に凹部11aを有するようになっている。絶縁層3aは、例えば2層の絶縁層3a、3cが図7の下図から順に積み重なって形成されている。この絶縁層3a、3cは、共に、例えばSiO₂からなる。

【0056】このように、本実施の形態においては、絶縁層3に空腔部11を設け、残留応力を内蔵する絶縁層3を部分的に無くすることにより、素子形成用の半導体層に加わる応力を低減することができるので、その残留応力に起因するSOI基板1の反りや素子形成用半導体層の品質劣化を抑制することが可能となる。したがって、SOI基板1を用いた半導体集積回路装置の歩留り、信頼性および性能を向上させることが可能となる。

【0057】また、空腔部11の形状を六角形として、これを互いに隣接して配置したことにより、SOI基板1を強くすることが可能であるとともに、強度的にも強い構造とすることが可能となる。

【0058】(実施の形態3) 図8は本発明の他の実施の形態である半導体集積回路装置の製造工程中における半導体ウエハの平面図である。

【0059】本実施の形態3においては、絶縁層3の絶縁層3aが湾曲形状にハタチニング形成されている。この湾曲形状は空腔部11になっている。すなわち、本実施の形態3でも、空腔部11が応力緩和部となっている。したがって、本実施の形態3においても、前述の実施の形態2と同様、絶縁層3を部分的に無くすることにより、素子形成用の半導体層に加わる応力を低減することができるので、その残留応力に起因するSOI基板1の反りや素子形成用の半導体層の品質劣化を抑制することが可能となる。

【0060】また、本実施の形態3においては、空腔部11の外側先端部がSOI基板1の側面に面しており、SOI基板1内の空腔部11が外部と繋がっている。これにより、SOI基板1を用いた半導体集積回路装置の製造工程における熱処理時に空腔部11内の空気を外部に放出することができる。このため、空腔部11内における空気の膨張に起因するSOI基板1の反りや変形を防止することが可能となる。

【0061】なお、SOI基板1に対してエッチング処理を施す場合には、絶縁層3がエッチングされるのを防ぐために必要に応じて空腔部11の空気の出入口を塞いでおく。

【0062】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前述の実施の形態1～3に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいまでも

ない。

【0063】例えば前述の実施の形態1においては、応力緩和部を空腔部11とした場合について説明したが、これに限定されるものではなく種々変更可能であり、例えばCVD法で形成したポリシリコンでもよい。

【0064】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるCMOS回路を有する半導体集積回路装置技術に適用した場合について説明したが、それに限定されるものではなく種々適用可能であり、例えばハイボルトランスタックを有する半導体集積回路装置やBiCMOS (Bipolar CMOS)回路を有する半導体集積回路装置技術等に適用できる。本発明は、少なくともSOI基板を有する半導体集積回路装置に適用できる。

【0065】【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0066】すなわち、本発明の半導体集積回路装置の製造方法によれば、絶縁層上に素子形成用の半導体層を設けた半導体基板を用いた半導体集積回路装置の製造方法において、その絶縁層に応力緩和部を設けることにより、絶縁層の残留応力に起因する半導体基板の反りや素子形成用の半導体層の品質劣化を抑制することが可能となる。このため、そのような半導体基板を用いた半導体集積回路装置の歩留り、信頼性および性能を向上させることが可能となる。

【図面の簡単な説明】
【図1】本発明の一実施の形態である半導体集積回路装置の要部断面図である。

【図2】図1の半導体集積回路装置の製造工程中における要部断面図である。

【図3】図1の半導体集積回路装置の図2に続く製造工程中における要部断面図である。

【図4】図1の半導体集積回路装置の図3に続く製造工程中における要部断面図である。

【図5】図1の半導体集積回路装置の図4に続く製造工程中における要部断面図である。

【図6】本発明の他の実施の形態である半導体集積回路装置の製造工程中における半導体ウエハの平面図である。

【図7】図6の半導体ウエハの要部断面図である。

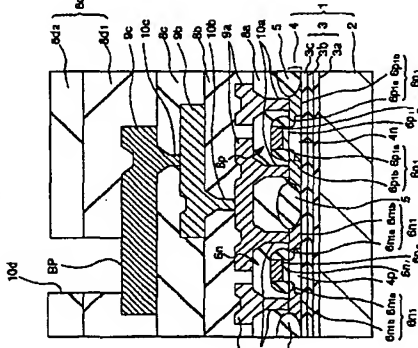
【図8】本発明の他の実施の形態である半導体集積回路装置の製造工程中における半導体ウエハの平面図である。

【符号の説明】
1 SOI基板
2 半導体基板
2W 半導体ウエハ
3 絶縁層

- 3a 絶縁層
- 3b 絶縁層 (応力緩和部)
- 3c 絶縁層
- 4 半導体層
- 4W 半導体ウエハ
- 5 フィールド絶縁層
- 6n nチャネル形MOS・FET
- 6n1 半導体領域
- 6n1a 浅い半導体領域
- 6n1b 深い半導体領域
- 6n1c ゲート絶縁層
- 6n1d ゲート電極
- 6p pチャネル形MOS・FET
- 6p1 半導体領域

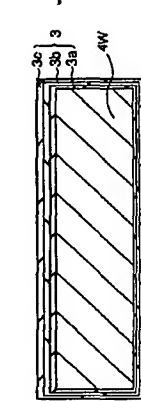
【図1】

図1



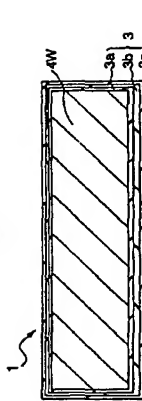
【図2】

図2



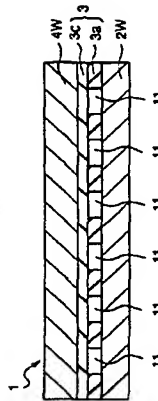
【図3】

図3



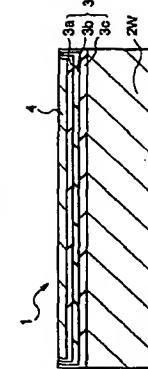
【図7】

図7



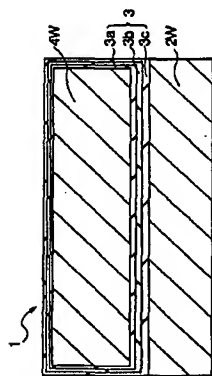
【図5】

図5



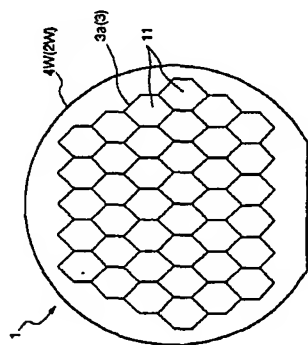
【図4】

図 4



【図6】

図 6



11: 空層(応力緩和層)

【図8】

図 8

